



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07161840 A**

(43) Date of publication of application: 23 . 06 . 95

(51) Int. Cl.

H01L 21/8244
H01L 27/11

(21) Application number: 05306647

(71) Applicant: **SONY CORP**

(22) Date of filing: 07 . 12 . 93

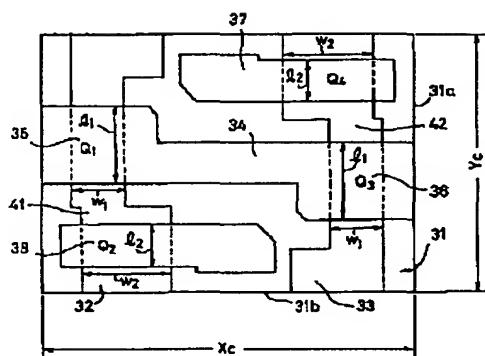
(72) Inventor: **SASAKI MASAYOSHI**

(54) MEMORY CELL FOR STATIC RAM

(57) Abstract:

PURPOSE: To make a memory cell for a static RAM fine by improving an increase in the resistance of a bit line and in a capacitance between bit lines.

CONSTITUTION: A memory cell for a static RAM is constituted of a flip-flop which is formed of a first inverter and a second inverter and of two word transistors Q_1 , Q_3 which are connected to the flip-flop, and driver transistors Q_2 , Q_4 for the first and second inverters are arranged on both sides so as to sandwich a word line 34. In the memory cell, the length X_c of a side in a direction in which the word line 34 for the memory cell is extended is made larger than the length Y_c of a side in a direction perpendicular to the word line 34, and a cell shape is constituted to be a transversely long quadrangular shape.



COPYRIGHT: (C)1995,JPO

2枚取下 2001.03.27

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-161840

(43) 公開日 平成7年(1995)6月23日

(51) Int. Cl.¹

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8244

27/11

7210-4M

H 0 1 L 27/ 10

3 8 1

審査請求 未請求 請求項の数3 OL (全 11 頁)

(21) 出願番号

特願平5-306647

(22) 出願日

平成5年(1993)12月7日

(71) 出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

佐々木 正樹

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人

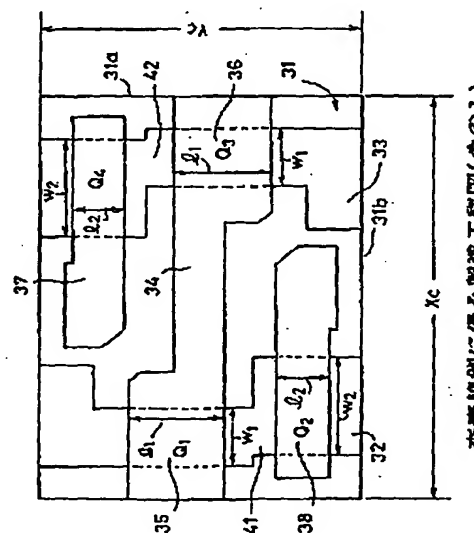
弁理士 松隈 秀盛

(54) 【発明の名称】 スタティックRAMのメモリセル

(57) 【要約】

【目的】 ビット線抵抗、ビット線間容量の増大を改善してスタティックRAMのメモリセルにおける微細化を可能にする。

【構成】 第1のインバータと第2のインバータとで形成したフリップフロップと、該フリップフロップに接続する2個のワードトランジスタ Q_1 、 Q_2 とにより構成され、ワード線34を挟んで両側に第1及び第2のインバータのドライバトランジスタ Q_3 、 Q_4 が配置されるスタティックRAMのメモリセルにおいて、メモリセルのワード線34が延在する方向の辺の長さXcをワード線34に垂直な方向の辺の長さYcより大にしてセル形状を楕長四角形状に構成する。



(2)

特開平 7-161840

1

【特許請求の範囲】

【請求項 1】 第 1 のインバータと第 2 のインバータとで形成したフリップフロップと、該フリップフロップに接続する 2 個のワードトランジスタとにより構成され、ワード線を挟んで両側に上記第 1 及び第 2 のインバータのドライバトランジスタが配置されてなるスタティック RAM のメモリセルにおいて、メモリセルの前記ワード線が延在する方向の辺の長さが前記ワード線に垂直な方向の辺の長さより大であることを特徴とするスタティック RAM のメモリセル。

【請求項 2】 前記請求項 1 記載のスタティック RAM のメモリセルにおいて、ワード線と之を挟む 2 つのドライバトランジスタのゲートを夫々構成する 3 つのパターンがビット線の延長線上で重ならないことを特徴とするスタティック RAM のメモリセル。

【請求項 3】 前記請求項 1 又は 2 記載のスタティック RAM のメモリセルにおいて、電源線がビット線の延在する方向に沿って形成されて成ることを特徴とするスタティック RAM のメモリセル。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 スタティック RAM のメモリセル。特に、微細化に適したスタティック RAM のメモリセルに関する。

【0002】

【従来の技術】 スタティック RAM (以下 SRAM と記す) のメモリセルは、夫々ドライバトランジスタと負荷素子とが直列接続された第 1、第 2 のインバータの入力端子と出力端子とを交差結合して形成したフリップフロップと、2 個のワードトランジスタとで構成されている。ワードトランジスタの各ゲートはワード線に接続され、各ワードトランジスタの一方の拡散領域が夫々ビット線に接続される。16 メガビット以上のメモリ容量を有する SRAM では、MOS 型の薄層トランジスタ (FT) を負荷素子としたメモリセルが主流になってきている。

【0003】 SRAM のメモリセルにおいては、相互に交差結合された 2 つの接続回路、即ち、第 1 のインバータのドライバトランジスタとワードトランジスタで構成される第 1 接続回路と、第 2 のインバータのドライバトランジスタとワードトランジスタで構成される第 2 接続回路との特性が互によく揃っていることが動作の安定性、低電圧下での動作のために必要である。

【0004】 しかし、従来、一般的に用いられてきた SRAM のメモリセルでは、図 13 に示すようなレイアウト (パターン構造) がなされている。図 13 は、SRAM のメモリセル 1 の構成部品のうち、半導体基板上に形成したアクティブ領域 2、3、4、と、1 層目の多結晶シリコン膜で夫々形成されたドライバトランジスタ Q_1 、 Q_2 のゲート電極 5、6 と、2 個のワードトランジスタ

2

Q_3 、 Q_4 のゲート電極を兼ねる 1 本のワード線 7 のレイアウトを示している。

【0005】 この図 13 のレイアウトでは、ドライバトランジスタ Q_1 、及びワードトランジスタ Q_3 で構成される第 1 接続回路と、ドライバトランジスタ Q_2 、及びワードトランジスタ Q_4 で構成される第 2 接続回路とのパターン形状が対称でなく、リソグラフィによるパターンの変形やマスク合せずれによって、上記第 1、第 2 の接続回路の特性が不揃いになるという不都合があった。

10 【0006】 図 14 は、図 13 と同様のレイアウトの SRAM のメモリセルが、製造工程途中でのパターンの変形やマスク合せずれの為に、トランジスタ Q_1 、 Q_2 、 Q_3 、 Q_4 のサイズが変わってしまった例である。

【0007】 トランジスタ Q_1 、 Q_2 のサイズがばらばらに変化すると、当然、上記第 1、第 2 の接続回路の特性も不揃いになるので、特に、セルサイズが微小になり、余裕をもった設計ができない状況では、大きな問題になる。

20 【0008】 このような問題を避ける 1 つの提案として、例えば図 15 及び図 16 で示すように、メモリセルのレイアウトを対称にして、パターンの変形やマスク合せずれが生じて、上記第 1、第 2 の接続回路の特性のずれが起こりにくいようにした SRAM のメモリセル 10 及び 20 が提案されている。

【0009】 図 15 の SRAM のメモリセル 10 は、対称的なパターンの 2 つのアクティブ領域 11、12 に対して、中央部にドライバトランジスタ Q_1 、 Q_2 のゲート電極 13、14 が対称に形成され、セルの上下に 2 本のワード線、即ち、ワードトランジスタ Q_3 のゲート電極を兼ねるワード線 15 とワードトランジスタ Q_4 のゲート電極を兼ねるワード線 16 が対称的に配置される。この SRAM 10 はスプリットワード線 (SWL) セルと呼ばれるものである。

30 【0010】 図 20 の SRAM のメモリセル 20 は、対称的なパターンの 2 つのアクティブ領域 21、22 に対して、セル中央にワードトランジスタ Q_1 、 Q_2 の各ゲート電極を兼ねる 1 本のワード線 23 と、之を挟んでセルの上下にドライバトランジスタ Q_3 のゲート電極 24 及びドライバトランジスタ Q_4 のゲート電極 25 が対称に配置されている。この SRAM 20 は、センターワード線 (CWL) セルと呼ばれるものである。

【0011】 上記の図 15 及び図 16 の SRAM のメモリセル 10 及び 20 は、いずれも、図 13 に示した SRAM のメモリセル 1 とは異なり、レイアウトが対称になっている。

【0012】

【発明が解決しようとする課題】 上述した図 15 に示す SRAM のメモリセル 10 では、1 つのセル当り、セルを横切る 2 本のワード線 15、16 が設けられるので、どうしてもセルの縦方向の辺の長さ Y_c が横方向の辺の

50

(3)

特開平 7-161840

3

長さ X_c に対して大きくなってしまふ。メモリセルの面積は、長辺 \times 短辺であるから、縦方向の長辺 Y_c が大きい場合、横方向の短辺 X_c 側をより小さくしてセルサイズを小さく抑えることが必要になる。

【0013】ところで、このSRAMのメモリセル10では、図17に示すように、ワード線15、16の延在する方向と垂直な方向に1セル当り2本のビット線17、18が設けられ、このビット線17、18を通じてデータの書き込み、読み出しが行われる。19は、ビット線コンタクト部である。

【0014】ビット線17、18としては、主にA1配線が用いられるが、メモリセル10の短辺 X_c に対して2本のA1ビット線17、18を配設することは非常に狭いビット線幅 L 及びビット線間隔 S （いわゆるラインアンドスペース）の加工が必要になる。即ち、細長いメモリセルであるため、A1ビット線17及び18のピッチ $P (=L+S)$ が狭くなる。

【0015】そして、細いA1ビット線17、18のため、エレクトロマイグレーションやストレスマイグレーションによる断線不良が発生しやすくなる等の問題がある。従って、セルサイズの縮小化には限界がある。

【0016】なお、エレクトロマイグレーションとは、電流の流れに従ってA1原子が少しずつ移動し、部分的に配線材料（A1）が欠落してしまう現象である。また、ストレスマイグレーションとは、A1配線を覆う絶縁体による応力によってA1原子が移動し、断線に至る現象である。

【0017】さらに、A1配線幅を細くしなければならぬことによるビット線17、18の抵抗増大、A1配線間を狭くしなければならぬことによるA1ビット線間の容量の増大などにより、ビット線の充放電にかかる時間が増大し、動作速度が遅くなるという問題があった。

【0018】このように、図15に示したSWLセル10では、短辺 X_c を短くする必要性からビット線ピッチ P を狭くしなければならず、上述した多くの問題が発生する。

【0019】上述の問題は、図13、図16の夫々のメモリセル1及び20についても、程度の差こそあれ、同様の問題が発生することは容易に理解できる。

【0020】本発明は、上述の点に鑑み、メモリセルサイズを縮小してもビット線のピッチを極力広くできるようにしたSRAMのメモリセルを提供するものである。

【0021】また、本発明は、メモリセルサイズを縮小してもメモリセルの動作安定性に悪影響を与えにくいレイアウトを有するSRAMのメモリセルを提供するものである。

【0022】

【課題を解決するための手段】本発明は、第1のインバ

10

タ68と第2のインバタ69とで形成したフリップフロップ70と、このフリップフロップ70に接続する2個のワードトランジスタ Q_1 、 Q_2 とにより構成され、ワード線34を挟んで両側に第1及び第2のインバタ68、69のドライバトランジスタ Q_1 、 Q_2 が配置されてなるスタティックRAMのメモリセルにおいて、メモリセルのワード線34が延在する方向の辺31bの長さ X_c がワード線34に垂直な方向辺31aの長さ Y_c より大にして構成する。

【0023】本発明は、上記スタティックRAMのメモリセルにおいて、ワード線34と之を挟む2つのドライバトランジスタ Q_1 、 Q_2 のゲート38、37を夫々構成する3つのパターンがビット線65、66の延長線上で重ならないように構成する。

【0024】本発明は、上記各スタティックRAMのメモリセルにおいて、電源線54、55をビット線66、65の延在する方向に沿って形成して構成する。

【0025】

【作用】第1の発明においては、メモリセルのワード線34が延在する方向の辺31bの長さ X_c がワード線34に垂直な方向の辺31aの長さ Y_c より大となるように構成することにより、ワード線34に垂直な方向に沿って形成する2つのビット線65、66のピッチ P を広くとることができ、メモリセルサイズの縮小化を可能にする。また、ワード線34を挟んで両側にドライバトランジスタ Q_1 、 Q_2 が配置されたいわゆる対称的なレイアウトであるので、リソグラフィによるパターンの変形やマスク合せずれがあっても、交差結合された第1及び第2の接続回路（ Q_1 、 Q_2 ）及び（ Q_2 、 Q_1 ）の特性の不揃いはなく、動作安定性が損われない。

30

【0026】第2の発明においては、さらにワード線34と、2つのドライバトランジスタ Q_1 、 Q_2 のゲート37、38とを夫々構成する3つのパターンがビット線65、66の延長線上で重ならないように構成することにより、3つのパターンをワード線34に垂直な方向に詰めて形成でき、更にメモリセルのワード線に垂直な方向の辺31aの長さ Y_c を小さくでき、メモリセルの更なる縮小化が図れる。

【0027】第3の発明においては、電源線54、55をビット線66、65の延在する方向に沿って形成することにより、インバタの負荷素子を構成する薄層トランジスタ Q_1 、 Q_2 のゲート長を大きくできる。また、セル内の電源線の本数を2本（54、55）の配線で済ますことができる。

【0028】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0029】図1～図4は本実施例に係るSRAMのメモリセルの製造工程順のレイアウト、図5は完成されたSRAMのメモリセルの等価回路を示す。

【0030】本実施例においては、先ず図1に示すよう

50

(4)

特開平7-161840

にメモリセルを構成する領域即ちセル領域31をワード線の延在する方向の辺31bの長さ(幅)Xcをワード線に垂直な方向の辺31aの長さ(幅)Ycより大($Xc > Yc$)としたいわゆる長長四角形状に形成する。つまり、セル領域31はワード線の延在方向を長辺とし、之に垂直な方向を短辺とした横長形状にする。この長長四角形状については、後述する。

【0031】この槽長形状のセル領域31に、左右対称に2つのアクティブ領域32、33を形成し、ゲート絶縁膜を介してセル領域31の中央を長辺31bに沿って両アクティブ領域32、34を横切る1本のワード線34を形成する。

【0032】ワード線34は、中心に対して左右対称の形状をなし、一方のアクティブ領域32で形成されるワードランジスタQ₁のゲート電極35及び他方のアクティブ領域33で形成されるワードランジスタQ₂のゲート電極36を兼ねている。

【0033】さらに、この中央のワード線34を挟んで上下側に夫々ゲート絶縁膜を介してアクティブ領域33に形成されるドライバトランジスタQ₁のゲート電極37及びアクティブ領域32に形成されるドライバトランジスタQ₂のゲート電極38を形成する。両ゲート電極37及び38は夫々長辺31bに沿うように、且つ対称的なパターンを有してワード線34に平行に形成される。

【0034】ここで、ワードランジスタ Q_1 、 Q_2 のゲート長 l_1 は、ドライバトランジスタ Q_3 、 Q_4 のゲート長 l_2 より大となるように各ゲート幅 $3.5 \cdot 3.6$ がワード線34の他部より幅広に、即ち、互いに反対方向に突出するようにして幅広に形成される。

【0035】また、アクティブ領域32、33において、ドライバトランジスタ Q_2 、 Q_3 のゲート幅 w が、ワードトランジスタ Q_1 、 Q_4 のゲート幅 w より大となるように、ドライバトランジスタ Q_2 、 Q_3 のチャンネル幅がワードトランジスタ Q_1 、 Q_4 のチャンネル幅より広く形成される。

【0036】さらに、雨後形成されるビット線の延長線上で3つのパターン、即ちワード線34とドライバトランジスタQ₁、Q₂のゲート電極38、37とが重ならないように、各ゲート電極38、37は、短く形成される。即ち、ドライバトランジスタQ₁、Q₂の各ゲート電極37及び38の一端は夫々ワードトランジスタQ₁及びQ₂のゲート電極36及び35に重なるも、各ゲート電極37及び38の他端はワードトランジスタQ₁及びQ₂のゲート電極35及び36に重ならないようにレイアウトされる。

【0037】ワード線34及び各ゲート電極37、38は例えば1層目の多結晶シリコン膜で形成される。

【0038】次に、図2に示すように、ワード線34及びゲート電極37、38を含む全面に例えばSiO₂膜

による層間絶縁膜を介してインバータの交差結合の配線と負荷素子となるMOS型の薄膜トランジスタのゲート電極を兼ねる互いのパターンが対称となる2つの例えば2層目の多結晶シリコン膜46、47を形成する。

【0039】一方の多結晶シリコン膜46は、ワードトランジスタQ₁の記憶ノード側領域41とドライバトランジスタQ₂のゲート電極37の他端間に跨がるパターンに形成され、他方の多結晶シリコン膜47はワードトランジスタQ₂の記憶ノード側領域42とドライバトランジスタQ₃のゲート電極38の他端間に跨がるパターンに形成される。

【0040】そして、多結晶シリコン膜46の一端は層間絶縁膜のコンタクト孔を通してワードトランジスタQ₁の記憶ノード側領域41に接続される。50はそのコンタクト部を示す。また、多結晶シリコン膜47の一端は、層間絶縁膜のコンタクト孔を通してワードトランジスタQ₂の記憶ノード側領域42に接続される。51はそのコンタクト部を示す。

【0041】なお、仮想線59、60は雨後形成される
負荷素子とのコンタクト部、仮想線62は雨後形成される
ビット線コンタクト部、仮想線63は雨後形成される
接地線コンタクト部である。

【0042】次に、図3に示すように、ゲート絶縁膜を介して夫々負荷素子である薄膜トランジスタQ₁、Q₂のチャネル領域、ソース領域及びドレイン領域となるアクティブ領域52、53と電源線54、55を兼ねる互いのパターンが対称となる2つの例えば3層目の多結晶シリコン膜56、57を形成する。電源線54、55はワード線34に垂直な方向に沿って形成され、アクティブ領域52、53は各電源線54、55の中間より斜めに延長するように形成される。

【0043】アクティブ領域56のドレイン領域はシエアドコンタクト方式により同一コンタクト孔を通して1層目の多結晶シリコン膜によるドライバトランジスタQ₁のゲート電極37と2層目の多結晶シリコン膜47の他端に同時に接続される。59はそのコンタクト部である。アクティブ領域56のソース領域は電源線54に接続されている。また、アクティブ領域57のドレイン領域は、同様にシエアドコンタクト方式により、コンタクト孔を通して1層目の多結晶シリコン膜によるドライバトランジスタQ₂のゲート電極38と2層目の多結晶シリコン膜46の他端に同時に接続される。60はそのコンタクト部である。アクティブ領域56のソース領域は電源線55に接続されている。

【0044】次に、図4に示すように、例えばSiO₂膜による層間絶縁膜を介してビット線コンタクト部62を除く他部全面に4層目の多結晶シリコン膜64を形成する。この4層目の多結晶シリコン膜64は、接地線となっており、コンタクト孔を通じてドライバトランジスタQ₁、Q₂のソース領域に接続される。63はそのコ

6/10
H
4th.

(5)

特開平7-161840

7

8

ンタクト部である。

【0045】そして、4層目の多結晶シリコン膜64上に、例えばSiO₂膜による層間絶縁膜を介してA1配線による2本のビット線65及び66を電源線54、55に平行に、即ちワード線34に垂直な方向に形成し、一方のビット線65の一部をコンタクト孔を通してワードトランジスタQ₁のビット線側領域に接続し、他方のビット線66の一部をコンタクト孔を通してワードトランジスタQ₂のビット線側領域に接続する。

【0046】なお、この他に、ソフトエラー対策として10 キャパシタを付加する場合の多結晶シリコン層の追加、2層A1構造としてワード線をシャントするなどの付加的な構成は必要に応じて行うことができる。

【0047】また、ゲート電極37、38及びワード線34を構成する1層目の多結晶シリコン膜と4層目の多結晶シリコン膜64としては、LSIで一般的に用いられているタンガステンシリサイド(WSi₃)膜と多結晶シリコン膜の積層構造のいわゆるポリサイド膜を用い、配線の低抵抗化を図ることが好ましい。

【0048】このようにして、目的の薄膜トランジスタ20 (TFT) 負荷型のSRAMのメモリセル67を構成する。

【0049】このSRAMのメモリセル67は、図5の等価回路で示すように、ドライバトランジスタQ₁及び荷重トランジスタからなる負荷素子Q₂が直列接続された第1のインバータ68と、ドライバトランジスタQ₁及び薄膜トランジスタからなる負荷素子Q₂が直列接続された第2のインバータ69との入力端子及び出力端子を交差結合して形成したフリップフロップ70と2個のワードトランジスタQ₃、Q₄とで構成され、ワードトランジスタQ₃、Q₄のゲートがワード線34に接続され、各ワードトランジスタQ₃及びQ₄の夫々のビット線側領域が対応するビット線65及び66に接続された回路構成を有する。

【0050】一方、前述したメモリセル67のセル形状は、ビット線遅延時間からも選定される。図6～図12は夫々セル面積を3.3μm²、3.5μm²、4.0μm²、4.5μm²、5.0μm²、5.5μm²、6.0μm²としたときのセルの幅Xcをパラメータとしたビット線遅延時間のビット線幅依存性を示すグラフである。各図6～図12から、例えばビット線遅延時間が望ましい値の1.3msec以下になるセルの幅Xcは、セル面積Sに対して夫々は表1に示す関係となる。

【0051】

【表1】

S	Xc
3.3 μm ²	1.8 μm
3.5	1.8
4.0	1.9
4.5	2.1
5.0	2.3
5.5	2.4
6.0	2.5

【0052】この表1によれば、セル面積SがほぼXc²に近い関係(S≒Xc²)となる。このことからセル寸法の縦横比が1:1以上で横の方が長ければよいといえる。また、図6～図12より、幅Xcが表1より小さくなると、ビット線遅延時間が急激に増大してゆることがわかる。従って、メモリセルの形状として、縦横比1:1をめどにして、それよりも幅Xcを縦幅Ycより広くすれば、ビット線遅延時間を小さく抑えたメモリセルを実現できる。

【0053】上述の本実施例によれば、アクティブ領域32、33の間隔を広くとり、メモリセル67の中央部にワード線34を横断するように配置し、このワード線34を挟む上下両側にドライバトランジスタのゲート電極37、38を互いの位置がずれるように、且つワード線34に平行となるように配置することにより、横方向(ワード線の延在する方向)に長いメモリセルのレイアウトが得られる。さらに、上層の2層目、3層目及び4層目の多結晶シリコン層もこのレイアウトに対応した配置をすることができる。

【0054】そして、本実施例のSRAMのメモリセル67は、いわゆる横長四角形状に構成されるので、A1ビット線65、66のピッチP(=L+S)を従来に比べてゆめく設計することができる。例えば図15のSWLセル10と比較すると、本実施例ではピッチが1.07μmであるのに対し、図15のメモリセル10のピッチは0.65μmであり、本実施例の方が約65%もゆめい設計が可能となる。

【0055】また、図16のCWLセル20と比較しても、図から明らかなように、本実施例の方がA1ビット線65、66のピッチPをゆめく設計できる。

【0056】従って、本発明のメモリセルは、A1ビット線に係るエレクトロマイグレーションやストレスマイグレーションによる断線不良が発生せず、A1ビット線の信頼性が改善される。また、ビット線の抵抗、ビット線間の寄生容量が抑えられ、ビット線の充放電の速度が改善されて動作速度の大幅な改善が図れる。

【0057】また、0.25μmルールで設計した本実施例のメモリセル67のセル面積は1.6μm×2.15μm=3.44μm²である。図16に示したCLW

(6)

特開平7-161840

9

セル20のセル面積は $1.5\mu\text{m} \times 2.2\mu\text{m} = 3.3\mu\text{m}^2$ であり、本実施例のメモリセル67はこれに比べてセル面積で約4%の増加にすぎず、図15のSWLセル10のセル面積の $1.3\mu\text{m} \times 2.8\mu\text{m} = 3.64\mu\text{m}^2$ よりは小さい。従って、本実施例のメモリセル67は微小化に迫る。さらに、メモリセル67のレイアウトが基本的に対称であるので、パターンくずれ、マスク合せずれに対しても動作安定性が損なわれることが少ない。

【0058】

【発明の効果】本発明によれば、メモリセルサイズを縮小しても、ビット線のピッチを極力広くすることができ、A1ビット線の信頼性が向上し、またビット線の充放電にかかる時間の増大が抑えられ、動作速度が改善される。

【0059】また、セルのレイアウトが基本的に対称であるのでセルサイズを縮小してもセルの動作安定性を損なうことがない。従ってSRAMの更なる縮小化が可能となる。

【図面の簡単な説明】

【図1】本発明によるSRAMのメモリセルの製造工程図（その1）である。

【図2】本発明によるSRAMのメモリセルの製造工程図（その2）である。

【図3】本発明によるSRAMのメモリセルの製造工程図（その3）である。

【図4】本発明によるSRAMのメモリセルの製造工程図（その4）である。

【図5】本発明によるSRAMのメモリセルの等価回路図である。

【図6】セル面積が $3.3\mu\text{m}^2$ のときのセルの横幅Xcをパラメータとしたビット線遅延時間のビット線幅依存性を示すグラフである。

【図7】セル面積が $3.5\mu\text{m}^2$ のときのセルの横幅Xcをパラメータとしたビット線遅延時間のビット線幅依存性を示すグラフである。

【図8】セル面積が $4.0\mu\text{m}^2$ のときのセルの横幅Xcをパラメータとしたビット線遅延時間のビット線幅依存性を示すグラフである。

10

【図9】セル面積が $4.5\mu\text{m}^2$ のときのセルの横幅Xcをパラメータとしたビット線遅延時間のビット線幅依存性を示すグラフである。

【図10】セル面積が $5.0\mu\text{m}^2$ のときのセルの横幅Xcをパラメータとしたビット線遅延時間のビット線幅依存性を示すグラフである。

【図11】セル面積が $5.5\mu\text{m}^2$ のときのセルの横幅Xcをパラメータとしたビット線遅延時間のビット線幅依存性を示すグラフである。

10 【図12】セル面積が $6.0\mu\text{m}^2$ のときのセルの横幅Xcをパラメータとしたビット線遅延時間のビット線幅依存性を示すグラフである。

【図13】従来のSRAMのメモリセルのレイアウトを示す構成図である。

【図14】図13のSRAMのメモリセルにおいて、製造工程途中でのパターンの変形や合せずれにより、レイアウトが変形した構成図である。

【図15】従来のSWLセルのレイアウトを示す構成図である。

20 【図16】従来のCWLセルのレイアウトを示す構成図である。

【図17】図15のSWLセルのビット線のレイアウトを示す構成図である。

【符号の説明】

31 セル領域

32, 33 アクティブ領域

34 ワード線

35, 36 ワードトランジスタのゲート電極

37, 38 ドライバトランジスタのゲート電極

30 46, 47 2層目の多結晶シリコン膜

41, 42 記憶ノード側領域

52, 53 アクティブ領域

54, 55 電源線

56, 57 3層目の多結晶シリコン膜

64 4層目の多結晶シリコン膜

65, 66 A1ビット線

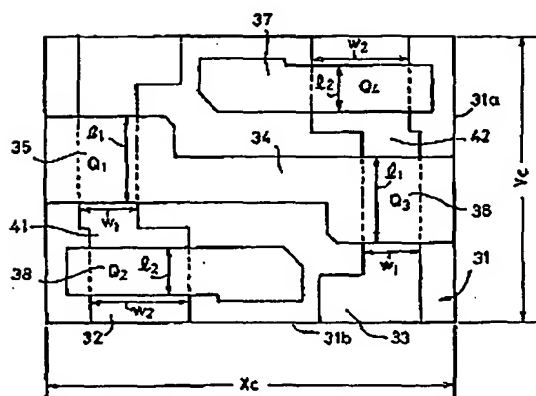
50, 51, 59, 60, 62, 63 コンタクト部

67 SRAMのメモリセル

(7)

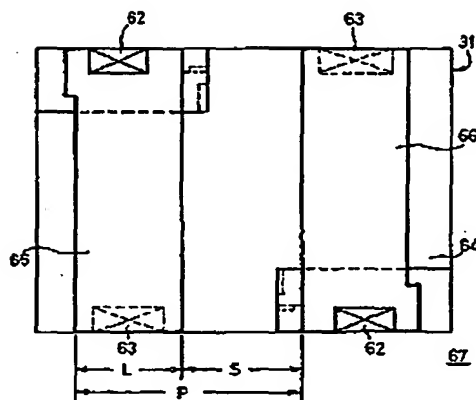
特開平7-161840

【図1】



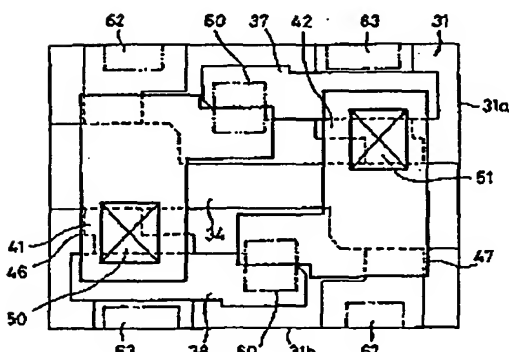
本実施例に係る製造工程図(その1)

【図4】



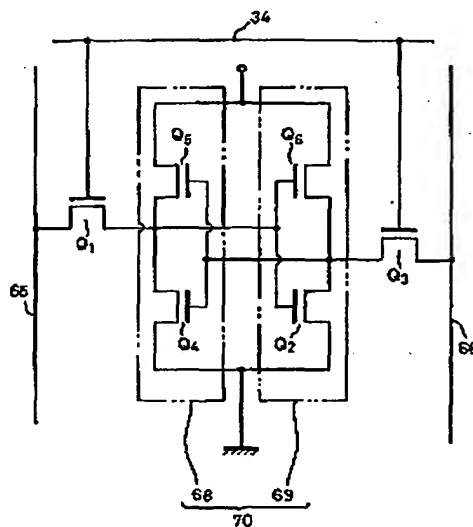
本実施例に係る製造工程図(その4)

【図2】



本実施例に係る製造工程図(その2)

【図5】

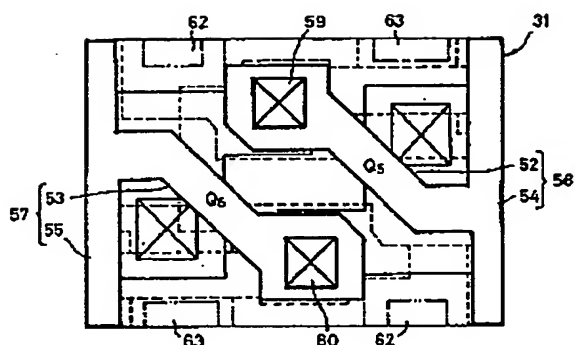


RAMメモリの回路図

(8)

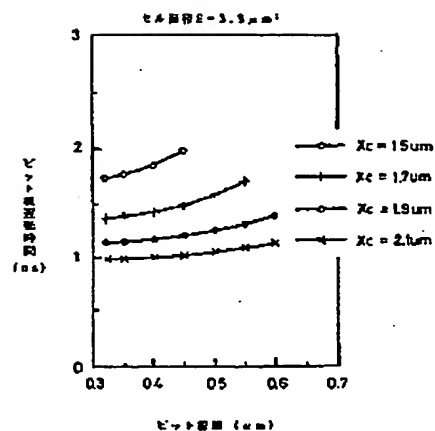
特開平7-161840

【図3】

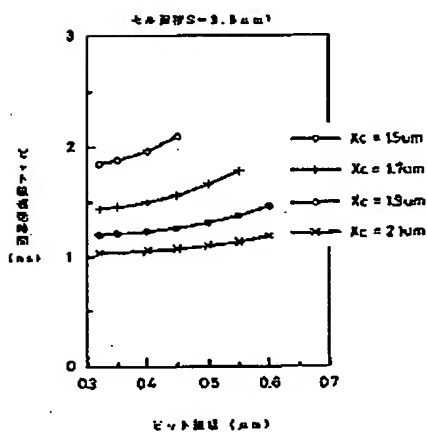


本発明に係る製造工程図(その3)

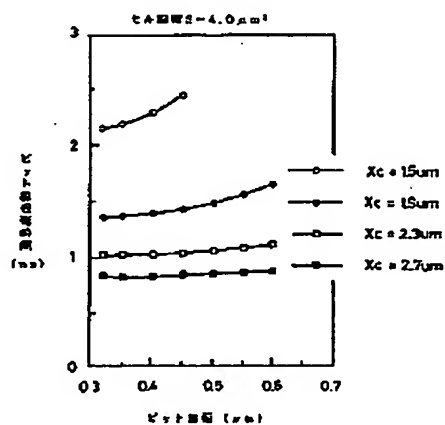
【図6】

ビット線遅延時間の
ビット線幅依存性のグラフ

【図7】

ビット線遅延時間の
ビット線幅依存性のグラフ

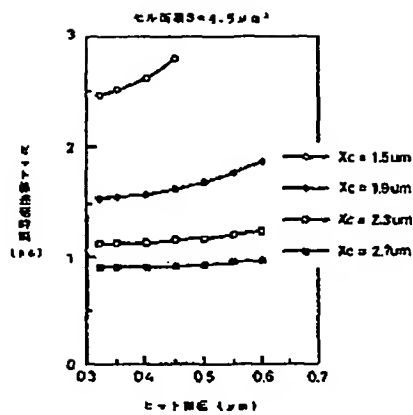
【図8】

ビット線遅延時間の
ビット線幅依存性のグラフ

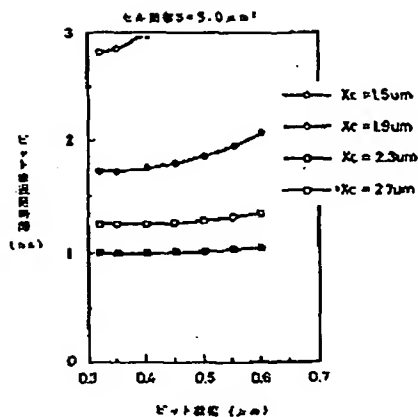
(9)

特開平7-161840

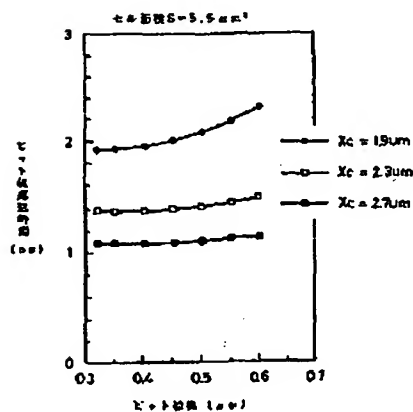
【図9】



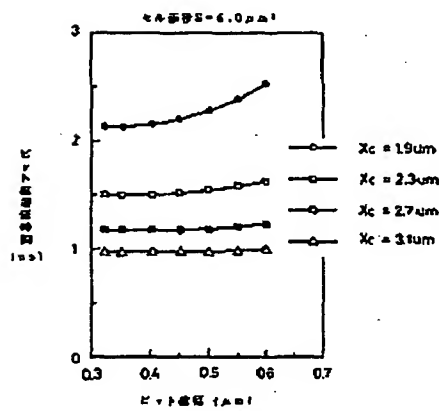
【図10】



【図11】



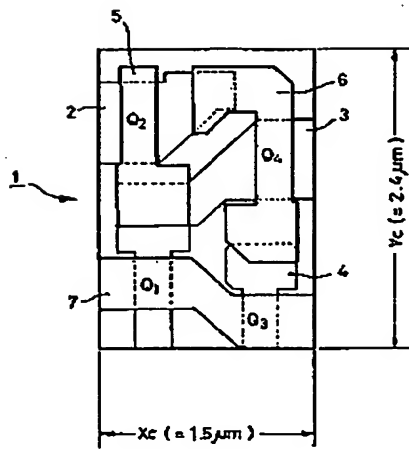
【図12】



(10)

特開平7-161840

【図13】



従来のレイアウト

【図14】

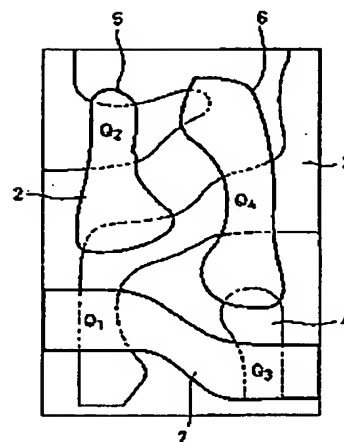
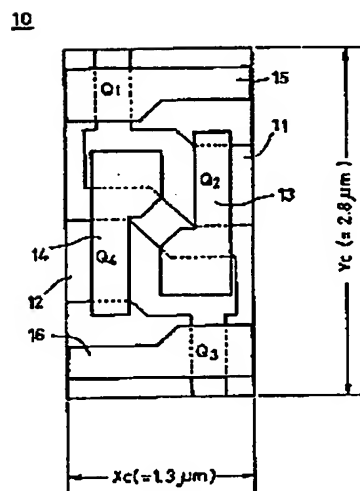


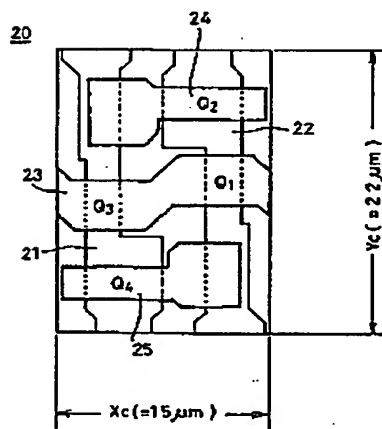
図13のパターン変形したレイアウト

【図15】



従来のSWLセルのレイアウト

【図16】



従来のCWLセルのレイアウト

(11)

特開平7-161840

【圖17】

